

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135537  
(43)Date of publication of application : 21.05.1999

J1036 U.S. PRO  
09/853090  
05/10/01

(51)Int.Cl. H01L 21/60

(21)Application number : 09-297428

(71)Applicant : ROHM CO LTD

(22)Date of filing : 29.10.1997

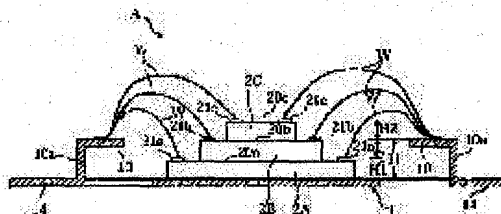
(72)Inventor : HIROMITSU MASAOKI

(54) MOUNTING STRUCTURE FOR SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To appropriately connect electrodes to desired areas being wiring connecting objects at the time of mounting plural semiconductor chips through the use of the structure of what is called chip-on-chip.

**SOLUTION:** In a mounting structure of a semiconductor chips, plural semiconductor chips 2A-2C are overlapped in the direction of thickness and plural electrodes 21a-21c provided for the plural semiconductor chips 2A-2C are connected to areas 10 being the wiring connection objects, which are positioned on sides through plural wires W. Wire bonding faces of the areas 10 being the wiring connection objects are provided in the middle height of the surfaces between the electrode 21c in the highest position and the electrode 21a in the lowest position.



LEGAL STATUS

[Date of request for examination] 18.09.1998

[Date of sending the examiner's decision of rejection] 18.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135537

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>9</sup>  
H 0 1 L 21/60

識別記号  
3 0 1

F I  
H 0 1 L 21/60

3 0 1 B

審査請求 有 請求項の数4 O L (全 8 頁)

(21) 出願番号 特願平9-297428

(22) 出願日 平成9年(1997)10月29日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 弘光 正明

京都市右京区西院溝崎町21番地 ローム株式会社内

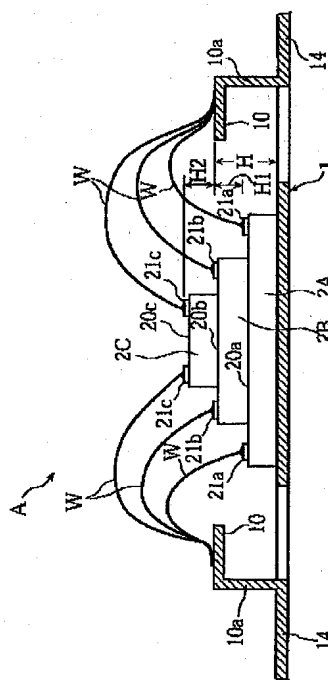
(74) 代理人 弁理士 吉田 稔 (外2名)

(54) 【発明の名称】 半導体チップの実装構造および半導体装置

(57) 【要約】

【課題】 いわゆるチップ・オン・チップの構造を用いて複数の半導体チップを実装する場合に、それらの電極を所望の配線接続対象領域に対して適切に結線接続できるようにする。

【解決手段】 複数の半導体チップ2A~2Cがそれらの厚み方向に重ねられており、かつこれら複数の半導体チップ2A~2Cに設けられている複数の電極21a~21cがそれらの側方に位置する配線接続対象領域10に複数本のワイヤWを介して接続されている半導体チップの実装構造であって、上記配線接続対象領域10のワイヤボンディング面は、上記複数の電極21a~21cのうち、最も高い位置の電極21cと最も低い位置の電極21aとのそれぞれの表面の中間の高さに設けられている。



## 【特許請求の範囲】

【請求項1】 複数の半導体チップがそれらの厚み方向に重ねられており、かつこれら複数の半導体チップに設けられている複数の電極がそれらの側方に位置する配線接続対象領域に複数本のワイヤを介して接続されている、半導体チップの実装構造であって、上記配線接続対象領域のワイヤボンディング面は、上記複数の電極のうち、最も高い位置の電極と最も低い位置の電極とのそれぞれの表面の中間の高さに設けられていることを特徴とする、半導体チップの実装構造。

【請求項2】 上記ワイヤの両端のボンディングは、電極側がファーストボンディングとされているとともに、配線接続対象領域側がセカンドボンディングとされている、請求項1に記載の半導体チップの実装構造。

【請求項3】 上記複数の半導体チップは、リードフレームのダイパッド部上に実装されているとともに、このリードフレームの上記ダイパッド部の側方に位置する内部リード部が上記配線接続対象領域とされており、かつ上記内部リード部は、上記ダイパッド部よりも高い位置に設けられている、請求項1または2に記載の半導体チップの実装構造。

【請求項4】 請求項1ないし3のいずれかに記載の半導体チップの実装構造を有していることを特徴とする、半導体装置。

## 【発明の詳細な説明】

## 【0001】

【技術分野】 本願発明は、複数の半導体チップをそれらの厚み方向に積み重ねたいわゆるチップ・オン・チップと称される構造を用いて複数の半導体チップをリードフレームや基板などに対して適切に実装するための技術に関する。

## 【0002】

【従来の技術】 周知のとおり、複数の半導体チップを用いて所望の電子回路や半導体装置を製造する場合、半導体チップの実装密度を高めることによって、電子回路や半導体装置全体の小型化を図ることが強く要請される場合が多い。この場合、複数の半導体チップを基板上に平面的に配列しただけでは、その実装密度を高める上で一定の限界がある。また、複数の半導体チップをワンチップ化することは、半導体チップの製造作業が煩雑化するために、その製造コストは著しく高価となる。

【0003】 そこで、従来では、いわゆるチップ・オン・チップと称される構造を用いる手段がある。この手段は、たとえば本願の図11に示すように、複数の半導体チップ9a～9cを上下に積み重ねた状態で基板90の表面に実装する手段である。このような手段によれば、基板90の表面における半導体チップ9a～9cの占有面積が小さくなり、半導体チップの実装密度を高める上で、有利となる。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の手段では、次のような不具合を生じていた。

【0005】 すなわち、複数の半導体チップ9a～9cを上下に積み重ねた状態に実装すると、それらに設けられている電極94a～94cの高さも順次高くなり、最上層に位置する半導体チップ9cの電極94cは、基板90の表面からかなり高い位置に存在することとなる。その一方、従来では、ワイヤ93を介して上記電極94a～94cと結線接続される複数の端子部92は、上記複数の半導体チップ9a～9cの実装面と同一高さである基板90の表面に設けられていた。このため、従来では、複数の電極94a～94cの全てが端子部92よりも高い位置に存在し、しかも端子部92から順次段階的に遠ざかってゆく高さとなっており、最上位置に存在する電極94cと端子部92との高低差Haはかなり大きな寸法となっていた。

【0006】 ところが、上記したようにたとえば電極94cと端子部92との高低差Haが大きくなってしまうと、ワイヤ93を用いてこれらの部分を適切に導通接続することが困難となる場合があった。すなわち、電極94cと端子部92とを結線接続する作業にはワイヤボンディング装置が用いられるが、一般的なワイヤボンディング装置においてそのキャピラリが上下方向に移動してボンディング可能なストロークは、基準高さから±300μm程度のストローク範囲に設定されているのが通例である。したがって、従来では、上記高低差Haの値が大きく、その値が上記キャピラリのボンディング可能ストロークを超えてしまうことに原因し、ワイヤボンディング装置を用いたワイヤボンディング作業を行うこと自体が困難となる場合があった。また、従来では、仮にそうでない場合であっても、上記高低差Haの値が大きいことに原因し、たとえば図12に示すように、キャピラリ95を用いてワイヤ93を電極94cまたは端子部92のボンディング対象位置に押しつけるときに、キャピラリ95が大きく傾く事態を招いていた。これでは、キャピラリ95の先端部がボンディング対象位置に対していわゆる片当たり状態となって、ワイヤ93とボンディング対象位置との間に隙間Sが生じ、ワイヤ93を確実にボンディングすることができない。このように、従来では、ワイヤ93の端部を電極94a～94cや端子部92に対して適切にボンディングする作業が困難となっており、ワイヤの接続箇所接続不良を生じる虞れが大きくなっていた。

【0007】 本願発明は、このような事情のもとで考え出されたものであって、いわゆるチップ・オン・チップの構造を用いて複数の半導体チップを実装する場合に、それらの電極を所望の配線接続対象領域に対して適切に結線接続できるようにすることをその課題としている。

## 【0008】

【発明の開示】 上記の課題を解決するため、本願発明で

は、次の技術的手段を講じている。

【0009】本願発明の第1の側面によれば、半導体チップの実装構造が提供される。この半導体チップの実装構造は、複数の半導体チップがそれらの厚み方向に重ねられており、かつこれら複数の半導体チップに設けられている複数の電極がそれらの側方に位置する配線接続対象領域に複数本のワイヤを介して接続されている半導体チップの実装構造であって、上記配線接続対象領域のワイヤボンディング面は、上記複数の電極のうち、最も高い位置の電極と最も低い位置の電極とのそれぞれの表面の中間の高さに設けられていることに特徴づけられる。

【0010】本願発明においては、配線接続対象領域の高さが、厚み方向に重ねられた複数の半導体チップのそれぞれの電極のうち最も高い位置の電極と最も低い位置の電極とのそれぞれの表面の中間高さに設定されているために、上記複数の半導体チップのそれぞれの電極の一部が配線接続対象領域から極端に遠く離れた高さになることが解消され、配線接続対象領域と各電極との高低差を小さくすることが可能となる。したがって、配線接続対象領域と各電極との高低差が、ワイヤボンディング装置のキャピラリのボンディング可能ストロークを超えることに原因して、配線接続対象領域と各電極とを結線接続することが困難になるといった虞れを少なくすることができることは勿論のこと、ワイヤボンディング装置のキャピラリを配線接続対象領域や各電極の表面に対して傾きの少ない角度で押しつけることも可能となり、ワイヤを配線接続対象領域や各電極の表面に対して適切に密着させ得ることとなる。その結果、本願発明では、複数の半導体チップの電極と配線接続対象領域とがワイヤを介して適切に結線接続された接続不良の少ないチップ・オン・チップ構造の半導体チップの実装構造が得られる。

【0011】本願発明の好ましい実施の形態では、上記ワイヤの両端のボンディングは、電極側がファーストボンディングとされているとともに、配線接続対象領域側がセカンドボンディングとされている構成とすることができる。

【0012】このような構成によれば、複数の半導体チップの各電極の表面に対してワイヤの一端をファーストボンディングするときには、ワイヤの先端部分が局所的に溶融して表面張力によってボール状に凝集したボール部（このボール部とは、たとえばワイヤが金線の場合には金ボールを意味する）を各電極に押しつけることとなるために、上記ワイヤを保持するワイヤボンディング装置のキャピラリが各電極の表面に対して多少傾いている場合であっても、上記ワイヤのボール部を各電極の表面に対して比較的容易に密着させることができる。このため、各電極の表面には、ワイヤの一端を広い面積で密着させることができる。一方、配線接続対象領域に対してワイヤの他端をセカンドボンディングするときには、上記

配線接続対象領域をワイヤボンディングの基準高さとすることにより、すなわちキャピラリが配線接続対象領域の表面に対して略垂直の角度姿勢となるように設定することにより、上記ワイヤの他端の比較的広い範囲を上記キャピラリによって配線接続対象領域に的確に押しつけて密着させることができる。結局、上記構成では、高さが種々相違する複数の電極に対するボンディングについては、キャピラリの多少の傾きが許容されるファーストボンディングとする一方、配線接続対象領域に対するボンディングについてはキャピラリを傾かせることのないセカンドボンディングとすることによって、複数の半導体チップの各電極と配線接続対象領域とのそれぞれへのワイヤボンディングをより一層適切に行うことができることとなる。

【0013】本願発明の他の好ましい実施の形態では、上記複数の半導体チップは、リードフレームのダイパッド部上に実装されているとともに、このリードフレームの上記ダイパッド部の側方に位置する内部リード部が上記配線接続対象領域とされており、かつ上記内部リード部は、上記ダイパッド部よりも高い位置に設けられている構成とすることができる。

【0014】このような構成によれば、リードフレームの内部リード部が上下厚み方向に重ねられた複数の半導体チップが実装されているリードフレームのダイパッド部よりも高い位置に存在するために、これらダイパッド部と内部リード部との高低差を利用することによって、上記内部リード部を上記複数の半導体チップの複数の電極のうち最も高い位置の電極と最も低い位置の電極とのそれぞれの表面の中間高さに設定することが容易に行えることとなる。

【0015】本願発明の第2の側面によれば、半導体装置が提供される。この半導体装置は、本願発明の第1の側面によって提供される半導体チップの実装構造を有していることに特徴づけられる。

【0016】本願発明の第2の側面では、本願発明の第1の側面によって得られるのと同様な効果が期待でき、複数の半導体チップの実装密度が高く、しかもそれら複数の半導体チップの電極と配線接続対象領域との結線接続が適切に行われた構造の半導体装置が得られる。

【0017】

【発明の実施の形態】以下、本願発明の好ましい実施の形態について、図面を参照しつつ具体的に説明する。

【0018】図1は、本願発明に係る半導体チップの実装構造を有する半導体装置中間品Aの一例を示す要部断面図である。図2は、図1の要部平面図である。

【0019】図1および図2に示す半導体装置中間品Aは、3つの半導体チップ2A、2B、2Cのそれぞれを、それらの厚み方向である上下方向に重ねた状態でリードフレーム1上に搭載し、かつそれら3つの半導体チップ2A～2Cのそれぞれを複数本のワイヤWを介して

上記リードフレーム1の内部リード部10に導通接続した構造を有している。本実施形態では、上記半導体チップ2A~2Cのうち、最下層の半導体チップ2Aを第1の半導体チップと称する。また、中間層の半導体チップ2Bを第2の半導体チップと称し、最上層の半導体チップ2Cを第3の半導体チップと称する。

【0020】図3は、上記リードフレーム1の平面図である。このリードフレーム1は、たとえば銅製の金属板に打ち抜きプレス加工を施すなどして形成されたものであり、一定方向に延びる長尺状である。このリードフレーム1の基本的な構成は、後述する点を除き、半導体装置の製造用途に従来から用いられている一般的なリードフレームの構成と共通している。すなわち、このリードフレーム1は、半導体チップを搭載するためのダイパッド部11をその長手方向に一定間隔で複数箇所形成したものであり、このダイパッド部11を支持するサポートリード12、上記ダイパッド部11から離反した位置に設けられた複数条の内部リード部10、およびこれら複数条の内部リード部10とタイバー13を介して繋がった複数条の外部リード部14を具備している。

【0021】ただし、上記リードフレーム1は、図1によく表れているように、上記複数条の内部リード部10のそれぞれの基端部10aが上方に屈曲し、立ち上がっている。これにより、上記各内部リード部10の上記基端部10a以外の箇所が、ダイパッド部11や外部リード部14などの上記リードフレーム1の他の部分の表面よりも一定寸法Hだけ高くなるように設けられている。上記各内部リード部10は、ワイヤWの一端がボンディングされる部分であり、本願発明でいう配線接続対象領域の一例に相当する。

【0022】上記3つの半導体チップ2A~2Cのそれぞれは、たとえばLSIチップやその他のICチップとして構成されたものであり、シリコンチップ上に所望の電子回路を集積させて一体的に造り込んだものである。上記3つの半導体チップ2A~2Cは、電極21a~21cが設けられている主面20a~20cが上向きとなる姿勢とされており、第1の半導体チップ2Aはその主面20aとは反対側の面が上記リードフレーム1のダイパッド部11の上面に接着剤を介して接着されている。上記第2の半導体チップ2Bは、上記第1の半導体チップ2Aよりも小サイズであり、上記第1の半導体チップ2Aの電極21aの上方を覆わないように位置決めされ、その主面20bとは反対側の面が上記第1の半導体チップ2Aの主面20aに接着されている。上記第3の半導体チップ2Cは、上記第2の半導体チップ2Bよりもさらに小サイズであり、上記第2の半導体チップ2Bの電極21bの上方を覆わないように位置決めされ、その主面20cとは反対側の面が上記第2の半導体チップ2Bの主面20bに接着されている。

【0023】上記3つの半導体チップ2A~2Cの複数

の電極21a~21cは、トータルとして見た場合に、上・中・下の3段階の高さとなっているが、既述したように、上記各内部リード部10はダイパッド部11よりも高い位置に存在している。これにより、本実施形態では、上記各内部リード部10の表面の高さは、中間高さの複数の電極21bと略同等の高さに設定されており、最も低い複数の電極21aと最も高い複数の電極21cとの中間の高さとなっている。なお、上記複数の電極21a~21cのそれぞれは、いずれもワイヤボンディングに適するパッド状の電極として形成されており、その材質はたとえばアルミ製とされている。ただし、好ましくは、ワイヤWとの導電接続性を良好にするための手段として、上記電極21a~21cを構成するアルミ電極の表面には金メッキが施されている。

【0024】上記複数本のワイヤWとしては、たとえば金線が用いられている。これら複数本のワイヤWの両端は、上記3つの半導体チップ2A~2Cの複数の電極21a~21cとそれに対応する内部リード部10とにボンディングされており、そのワイヤボンディング法としては、たとえば熱超音波ボンディング法が用いられている。上記電極21a~21cに対するボンディングは、内部リード部10に対するボンディングよりも先に行われるファーストボンディングとされている。したがって、上記内部リード部10に対するボンディングは、セカンドボンディングとされている。

【0025】上記半導体チップの実装構造においては、まず、3段階の高さとなっている複数の電極21a~21cのうち、中間高さの電極21bの表面の高さは、各内部リード部10の表面の高さと略同等とされている。このため、上記電極21bとこれに対応する内部リード部10とにワイヤWの両端のボンディング作業を行うときには、そのワイヤWを保持するワイヤボンディング装置のキャピラリを、上記電極21bの表面と上記内部リード部10の表面とのいずれに対しても垂直または略垂直の姿勢で押しつけることが可能となる。したがって、ワイヤWの両端をそれらの表面に密着させた適正なワイヤボンディングが行え、電極21bとそれに対応する内部リード部10とが適切に結線接続された構造とすることができる。

【0026】一方、他の2組の複数の電極21a、21cは、上記電極21bとは異なり、内部リード部10よりも低い位置または高い位置に存在するが、内部リード部10は上記電極21a、21cの中間の高さであるために、これらの電極21a、21cのそれぞれと内部リード部10との高低差H1、H2をかなり小さくすることができる。具体的には、それらの高低差H1、H2のそれぞれの値を、電極21a、21c間の高低差の約1/2にすることができる。したがって、それらの部分にワイヤWの両端のボンディング作業を行う場合に、ワイヤボンディング装置のキャピラリが上記内部リード部1

0の高さを基準として上下方向に動作するように設定することによって、電極21a, 21cに対してワイヤボンディングを行うときのそれら電極21a, 21cの各表面に対するキャピラリの傾き角度を小さくすることができることとなる。したがって、キャピラリの大きな傾きに原因してワイヤボンディング不良が生じる虞れを少なくすることができる。

【0027】また、上記複数の電極21a~21cへのワイヤボンディングがファーストボンディングとされているために、次に説明するように、それらの部分および各内部リード部10にはワイヤWのボンディング不良が一層生じ難くなっている。すなわち、たとえば図4を参照して最も高い位置に存在する電極21cにワイヤWの一端をファーストボンディングする場合について説明すると、このファーストボンディングは、まずキャピラリ3に保持されたワイヤWの先端部を加熱して金ボールWaを作製した後に、この金ボールWaをキャピラリ3の先端部によって電極21cの表面に押しつけることによって行われる。したがって、このように金が熔融軟化状態にある金ボールWaを電極21cの表面に押しつける場合に、キャピラリ3が多少の角度θだけ鉛直線に対して傾斜していても、図5に示すように、上記金ボールWaの底部を電極21cの表面に対して隙間なく押しつけることが可能である。金ボールWaをボンディング面に押しつけるファーストボンディングは、後述するセカンドボンディングの場合と比較すると、キャピラリの傾きの許容度が大きい。このため、上記電極21cに対するワイヤボンディング作業をより一層適切に行うことが可能となる。むしろ、他の電極21aについてのワイヤボンディング作業についても同様である。

【0028】次いで、内部リード部10に対するワイヤWのセカンドボンディングは、たとえば図6において、内部リード部10を加熱しながらキャピラリ3に保持されたワイヤWを上記内部リード部10の表面に押しつけて超音波をかけて行われる。このため、このセカンドボンディングでは、キャピラリ3の傾きの許容度は比較的小さい。ところが、本実施形態では、上記内部リード部10の高さが、キャピラリ3が昇降動作するときの基準高さとしてされており、上記内部リード部10の表面に対してはキャピラリ3を垂直または略垂直の姿勢で押しつけることができるようになっている。一方、リードフレーム1に複数設けられている内部リード部10のそれぞれは、全て同一高さである。したがって、各内部リード部10に対するワイヤボンディング作業も適切に行えることとなる。このように、上記半導体チップの実装構造においては、3つの半導体チップ2A~2Cの電極21a~21cの全ての箇所について、それらに対応する内部リード部10に対して適切に結線接続することができる。

【0029】図7は、上記図1および図2に示した半導

体装置中間品Aを利用して製造された半導体装置Bの一例を示す断面図である。

【0030】同図に示す半導体装置Bは、上記半導体装置中間品Aの3つの半導体チップ2A~2Cやその周辺部分をモールド樹脂4によって覆う樹脂パッケージ作業や、リードフレーム1のフォーミング加工を行うことによって得られる。このような一連の作業は、従来のリードフレームを用いた半導体装置の製造工程と同様であり、その詳細な説明は省略するが、上記モールド樹脂4によって半導体チップ2A~2Cの主面や他の部分、およびワイヤWなどの導電部分が適切に保護される。また、各内部リード部10に繋がっている外部リード部14が、ハンダ付け用の端子としての役割を果たし、上記半導体装置Bは所望の部位への面実装が可能なものとなる。

【0031】図8ないし図10は、本願発明に係る半導体チップの実装構造の他の例をそれぞれ示す要部断面図である。

【0032】図8に示す構造は、3つの半導体チップ2A~2Cの実装箇所となるリードフレーム1Aのダイパッド部11Aを、内部リード部10Aや外部リード部14Aなどの上記リードフレーム1Aの他の部分よりも低い高さに形成することによって、ワイヤWの一端がボンディングされる内部リード部10Aを上記半導体チップ2A~2Cの電極21a, 21cの中間高さに設定した構造である。このように、本願発明では、内部リード部をダイパッド部よりも高い位置に設ける手段としては、上記図8に示すようにリードフレームのダイパッド部を部分的に低くする手段と、上記図1および図2に示した先の実施形態のようにリードフレームの内部リード部を部分的に高くする手段とのいずれの手段を採用してもよい。

【0033】図9に示す構造は、3つの半導体チップ2A~2Cを一定の厚みを有するプレート状の基板1Bに実装し、上記半導体チップ2A~2Cの電極21a~21cのそれぞれを上記基板1Bの表面に設けられた端子部19にワイヤWを介して結線接続した構造である。上記半導体チップ2A~2Cは、上記基板1Bの表面に設けられた凹部18内に配置されるなどして、それら半導体チップ2A~2Cの実装面17aと上記端子部19の表面との間には高低差H3が設けられている。むしろ、これに代えて、基板1Bの表面部のうち上記端子部19が形成されている箇所を部分的に他の箇所よりも高くなるように形成することによって、半導体チップ2A~2Cの実装面と端子部19との間に高低差H3を設けてもよい。上記構造では、上記高低差H3が設けられていることにより、上記端子部19は、上記半導体チップ2A, 2Cのそれぞれの電極21a, 21cの中間高さとなっている。

【0034】このように、本願発明では、半導体チップ

10

20

30

40

50

をリードフレームに実装する場合に限らず、プレート状などの形態を有する基板に実装する場合にも適用することができる。また、基板としては、セラミック製や合成樹脂製などの比較的硬質な基板に限らず、たとえば薄肉の合成樹脂樹脂製フィルムに銅箔などを用いてワイヤボンディング箇所となる端子部を形成したようなフィルム状の基板を用いることも可能である。したがって、本願発明にいう配線接続対象領域の具体的な構成もとくに問わない。

【0035】図10に示す構造は、3つの半導体チップ2D～2Fを上下に積み重ねた状態で基板1Cに実装した構造であるが、最下層と中間層の2つの半導体チップ2D、2Eどうしはバンプ電極29、29aを介して互いに接続されている。このため、最下層と最上層の2つの半導体チップ2D、2Fの電極21d、21fのみがワイヤWを介して基板1Aの端子部19Aに結線接続されている。上記端子部19Aは、上記2組の電極21d、21fの中間高さに設けられている。このように、本願発明では、チップ・オン・チップ構造に実装された複数の半導体チップの全てを所定の配線接続対象領域にワイヤを用いて結線接続する必要はなく、互いに厚み方向に重ねられた複数の半導体チップのうち、一部の半導体チップどうしを直接電氣的に接続した構造を採用してもよい。

【0036】本願発明に係る半導体チップの実装構造、および半導体装置の各部の具体的な構成は、上述した実施形態に限定されず、種々に設計変更自在である。本願発明は、互いに重ねられる半導体チップの具体的な数は3つに限定されず、2つ、あるいは4つ以上であってもよい。本願発明は、2つ以上の半導体チップをそれらの厚み方向に重ねた構造において、それら複数の半導体チップに高さが相違する少なくとも2組以上の電極が存在し、かつこれら2組以上の電極をワイヤを用いて所定の配線接続対象領域に結線接続する全ての場合に適用することが可能である。先の図10から理解されるように、ワイヤボンディング対象となる半導体チップの電極が2組しか存在しない場合は、むしろ配線接続対象領域の高さは、それら2組の電極のそれぞれの表面の高さの中間高さに設定すればよい。また、本願発明では、配線接続対象領域の高さが、半導体チップの複数の電極のうち、最も高い位置の電極と最も低い位置の電極とのそれぞれの表面の高さの中間の高さであることが要件とされるが、この中間の高さとは、配線接続対象領域が最も高い位置の電極の表面よりも低く、かつ最も低い位置の電極の表面よりも高い位置に存在すれば足りることを意味し、必ずしも上記2つの電極間の中央の高さである必要はない。ただし、ワイヤボンディング作業を最適に行うためには、一般的には配線接続対象領域の高さを上記2

つの電極間の略中央の高さに設定することが好ましい。

【0037】さらに、上記実施形態では、ワイヤとして金線を用いたが、本願発明はやはりこれに限定されず、他の材質のワイヤを用いてもかまわない。また、本願発明は、半導体チップの具体的な種類も問わず、たとえば強誘電体メモリ(ferroelectrics-RAM)などの各種のメモリ素子をはじめとして、その他の種々のICチップやLSIチップなどの半導体チップを適用することができる。

#### 【図面の簡単な説明】

【図1】本願発明に係る半導体チップの実装構造を有する半導体装置中間品の一例を示す要部断面図である。

【図2】図1の要部平面図である。

【図3】図1および図2に示す半導体装置中間品に用いられているリードフレームの平面図である。

【図4】ワイヤのファーストボンディング工程を示す要部斜視図である。

【図5】ワイヤのファーストボンディング工程を示す要部斜視図である。

【図6】ワイヤのセカンドボンディング工程を示す要部斜視図である。

【図7】図1および図2に示した半導体装置中間品を利用して製造された半導体装置の一例を示す断面図である。

【図8】本願発明に係る半導体チップの実装構造の他の例を示す説明図である。

【図9】本願発明に係る半導体チップの実装構造の他の例を示す説明図である。

【図10】本願発明に係る半導体チップの実装構造の他の例を示す説明図である。

【図11】従来の半導体チップの実装構造の一例を示す説明図である。

【図12】従来のワイヤボンディング工程を示す要部断面図である。

#### 【符号の説明】

1 リードフレーム

1A、1B 基板

2A 第1の半導体チップ

2B 第2の半導体チップ

2C 第3の半導体チップ

2D～2F 半導体チップ

10、10A 内部リード部(配線接続対象領域)

11、11A ダイパッド部

19、19A 端子部(配線接続対象領域)

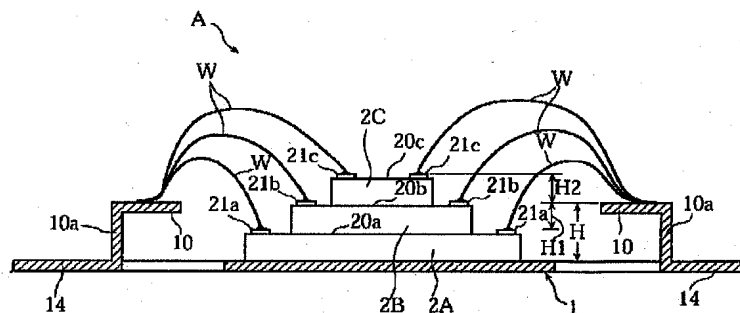
21a～21d、21f 電極

W ワイヤ

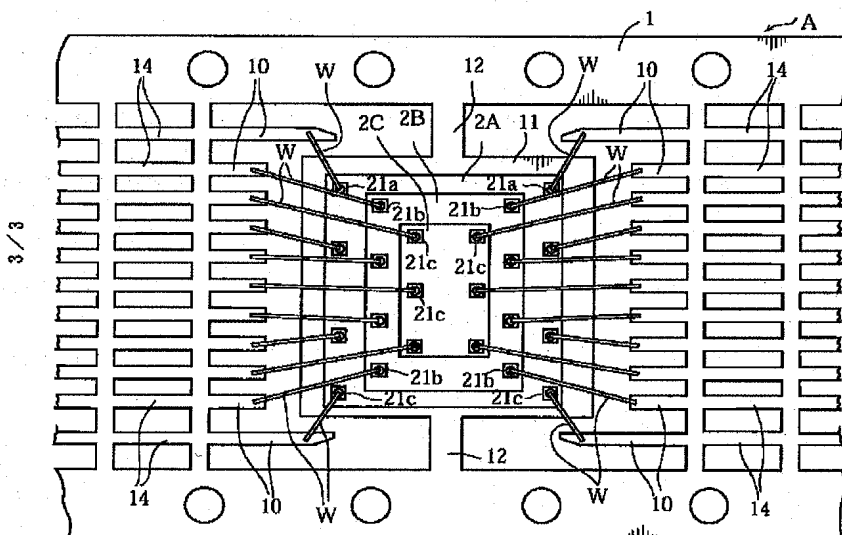
A 半導体装置中間品

B 半導体装置

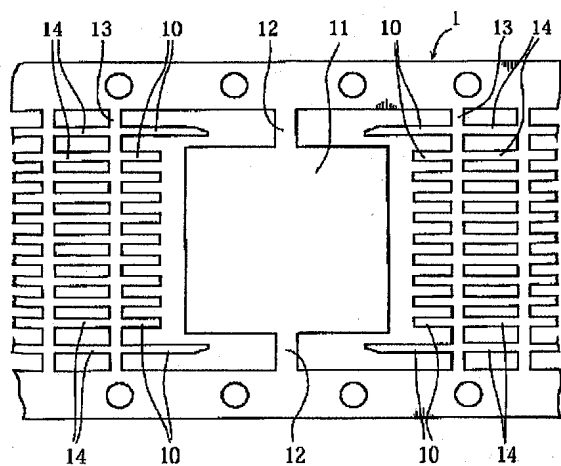
【図 1】



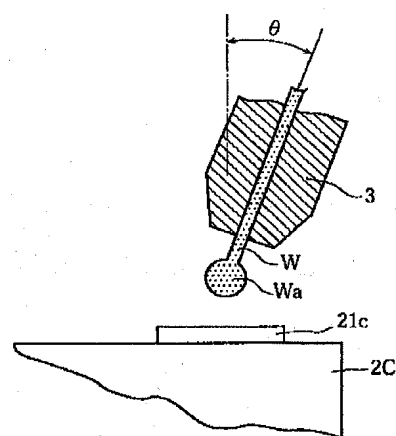
【図 2】



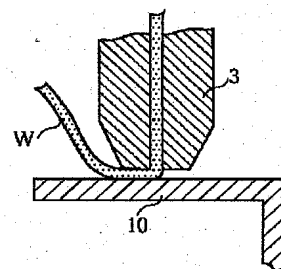
【図 3】



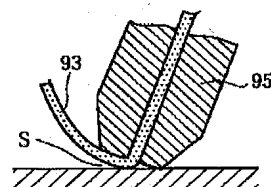
【図 4】



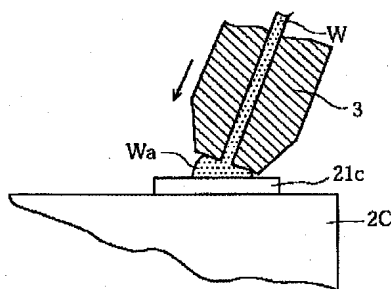
【図 6】



【図 12】

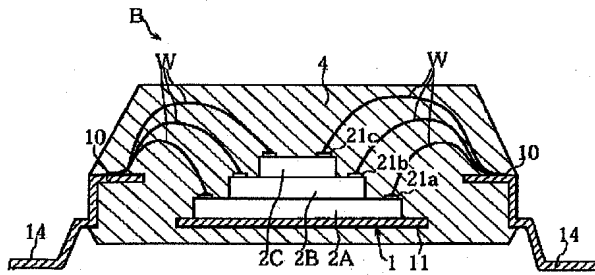


【図 5】

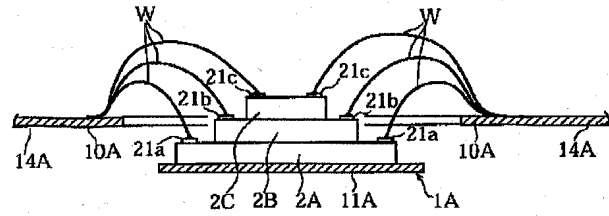




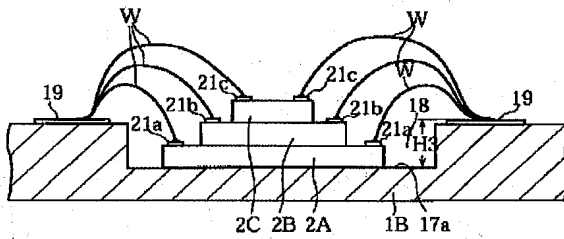
【図 7】



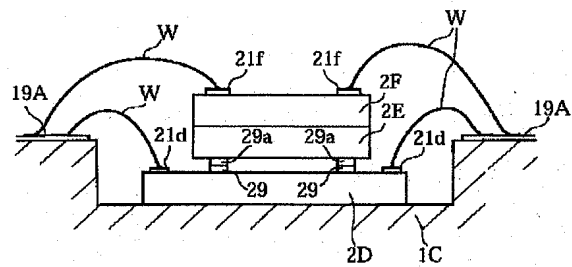
【図 8】



【図 9】



【図 10】



【図 11】

